

538, 923

10/538 923

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION  
EN MATIÈRE DE BREVETS (PCT)(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international(43) Date de la publication internationale  
1 juillet 2004 (01.07.2004)

PCT

(10) Numéro de publication internationale  
WO 2004/055901 A2(51) Classification internationale des brevets<sup>7</sup> : H01L 29/66

(21) Numéro de la demande internationale :

PCT/EP2003/050886

(22) Date de dépôt international :

24 novembre 2003 (24.11.2003)

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

02 15845 13 décembre 2002 (13.12.2002) FR

(71) Déposant (pour tous les États désignés sauf US)  
: THALES [FR/FR]; 45, rue de Villiers, F-92200  
Neuilly-Sur-Seine (FR).

(72) Inventeur; et

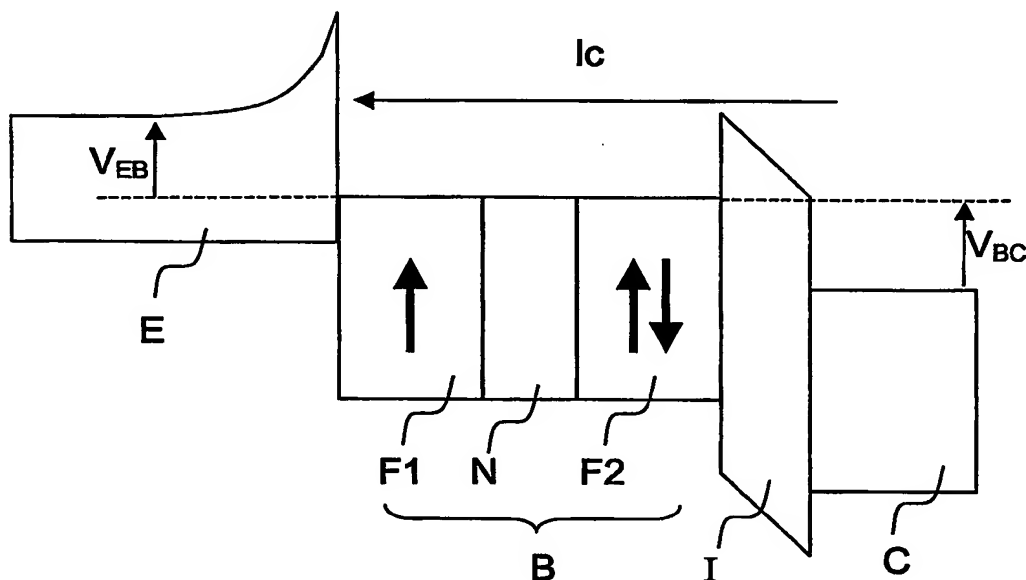
(75) Inventeur/Déposant (pour US seulement) : NGUYEN

VAN DAU, Frédéric [FR/FR]; Thales Intellectual Prop-  
erty, 31-33, avenue Aristide Briand, F-94117 Arceuil (FR).(74) Mandataires : CHAVERNEFF, Vladimir etc.; Thales In-  
tellectual Property, 31-33, avenue Aristide Briand, F-94117  
Arceuil Cedex (FR).(81) États désignés (national) : AE, AG, AL, AM, AT, AU, AZ,  
BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ,  
DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH,  
GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC,  
LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,  
MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC,  
SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.(84) États désignés (régional) : brevet ARIPO (BW, GH, GM,  
KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), brevet  
eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet

[Suite sur la page suivante]

(54) Title: HIGH PERFORMANCE SPIN-VALVE TRANSISTOR

(54) Titre : TRANSISTOR A VANNE DE SPIN A HAUT RENDEMENT



(57) Abstract: The invention generally relates to the field of spintronics, branch of electronics using magnetic spin properties of electrons. More particularly, the invention relates to the field of spin-valve transistors which can be used in numerous fields of electronics. The invention aims at providing an original arrangement for producing high-level and high-contrast current collectors. The inventive spintronic transistor comprises a semiconductor transmitter, a base forming a spin-valve and a metal collector separated from the base by an insulating deposit. The transmitter/base interface constitutes a Schottky barrier and the base/collector interface constitutes a tunnel-effect barrier.

[Suite sur la page suivante]

WO 2004/055901 A2



européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*

**Publiée :**

— *sans rapport de recherche internationale, sera republiée dès réception de ce rapport*

**(57) Abrégé :** Le domaine général de l'invention est celui de la spintronique, domaine de l'électronique utilisant les propriétés magnétiques de spin des électrons. Plus précisément, le domaine de l'invention est celui des transistors à vanne de spin qui peuvent être utilisés dans de nombreux domaines de l'électronique. L'objet de l'invention est de proposer un agencement original permettant d'obtenir à la fois des courants collecteurs de niveau important et de contraste élevé. Le transistor spintronique selon l'invention comprend un émetteur en semiconducteur, une base faisant vanne de spin et un collecteur métallique séparé de la base par un dépôt isolant. L'interface émetteur/base constitue une barrière Schottky et l'interface base/collecteur est une barrière à effet tunnel.

## TRANSISTOR A VANNE DE SPIN A HAUT RENDEMENT

Le domaine général de l'invention est celui de la spintronique, domaine de l'électronique utilisant les propriétés magnétiques de spin des électrons. Plus précisément, le domaine de l'invention est celui des transistors à vanne de spin qui peuvent être utilisés dans de nombreux domaines de l'électronique, soit en tant que composant élémentaire (porte logique, élément de mémoire non volatil,...), soit en tant que capteur magnétorésistif dans de nombreux domaines (automobile, instrumentation, forage ou navigation), soit encore en tant que tête de lecture de support d'enregistrement magnétique haute capacité (densités d'enregistrement supérieure au téraBit/Inch<sup>2</sup>).

Dans un corps ferromagnétique, la diffusion des électrons est différente selon leur spin. Cet effet est utilisé dans des dispositifs à multicouches magnétiques encore appelé vanne de spin pour créer un phénomène de magnétorésistance géante.

Son principe est représenté en figures 1a et 1c. Une vanne de spin comprend successivement trois couches de matériaux. La première couche F1 est une couche de métal ferromagnétique à aimantation imposée. La seconde couche N est une couche de métal non magnétique séparant la première couche de la troisième. La troisième couche F2 est une couche de métal ferromagnétique à aimantation variable. Le principe de fonctionnement est le suivant : Si l'on soumet la vanne de spin à un champ magnétique H, celui-ci est suffisant pour modifier le sens de l'aimantation de la seconde couche sans altérer celui de la première couche. L'aimantation imposée de la couche F2 subsiste alors après le retrait du champ magnétique H. Suivant le sens du champ magnétique appliqué, la première et la troisième couche sont donc, soit en configuration parallèle (figure 1a), les deux aimantations pointant dans le même sens (flèches verticales noires de la figure 1a), soit en configuration anti-parallèle (figure 1c), les deux aimantations pointant en sens opposé (flèches verticales noires de la figure 1c).

Dans la configuration parallèle, les électrons  $e^-$  de spin  $+1/2$  (flèche oblique supérieure de la figure 1a) traversent les couches F1 et F2 avec une diffusion faible. Les résistances  $R_{F1}$  et  $R_{F2}$  des couches F1 et F2

ont, par conséquent, une valeur  $r$  faible pour ces électrons. Les électrons  $e^-$  de spin  $-1/2$  (flèche inférieure en zigzag de la figure 1a) traversent les couches F1 et F2 avec une diffusion forte. Les résistances  $R_{-F1}$  et  $R_{-F2}$  des couches F1 et F2 ont, par conséquent, une valeur  $R$  importante pour ces électrons. En finale, la résistance électrique équivalente de la vanne de spin est représentée sur le schéma de la figure 1b. Elle est équivalente à deux résistances en série de valeur  $r$  placée en parallèle avec deux résistances en série de valeur  $R$ . Si  $R$  est très grand devant  $r$ , la résistance équivalente du circuit est voisine de  $r$ .

Dans la configuration anti-parallèle, les électrons  $e^-$  de spin  $+1/2$  (flèche supérieure de la figure 1c) traversent la couche F1 avec une diffusion faible (partie en ligne droite de la flèche supérieure) et la couche F2 avec une diffusion forte (partie en zigzag de la flèche supérieure). La résistance  $R_{+F1}$  de la couche F1 a, par conséquent, une valeur  $r$  faible pour ces électrons et la résistance  $R_{+F2}$  de la couche F2 une valeur  $R$  importante. Les électrons  $e^-$  de spin  $-1/2$  (flèche inférieure de la figure 1c) traversent la couche F1 avec une diffusion forte (partie en zigzag de la flèche inférieure) et la couche F2 avec une diffusion faible (partie en ligne droite de la flèche inférieure). La résistance  $R_{-F1}$  de la couche F1 a, par conséquent, une valeur  $R$  importante pour ces électrons et la résistance  $R_{-F2}$  de la couche F2 une valeur  $r$  faible. En finale, la résistance électrique équivalente de la vanne de spin est représentée sur le schéma de la figure 1d. Elle est équivalente à deux résistances respectivement de valeur  $r$  et  $R$  mises en parallèle avec deux résistances également de valeurs  $r$  et  $R$ . Si  $R$  est très grand devant  $r$ , la résistance équivalente du circuit est maintenant voisine de  $R$ .

On modifie ainsi en fonction du champ magnétique appliqué la valeur de la résistance équivalente de la vanne de spin.

Un des domaines majeurs de recherche de la spintronique est le développement de transistors à vanne de spin. Les transistors à vanne de spin présentent des avantages importants sur les transistors classiques à semiconducteur comme, par exemple, un faible temps de commutation, de faibles énergies mises en jeu ainsi que la possibilité de programmation de portes logiques.

Différents concepts ont été proposés depuis 1995. Pour illustrer ces concepts représentés en figures 2, 3 et 4, on utilise une notation symbolique représentant les différentes couches du transistor. Les symboles utilisés sont les suivants :

- Couche F1 de métal ferromagnétique à aimantation permanente : rectangle comportant une flèche unique.
- Couche F2 de métal ferromagnétique à aimantation variable dépendant du champ magnétique : rectangle comportant une flèche double tête-bêche.
- Couche N de métal non magnétique : rectangle vide
- Couche de semi-conducteur présentant une barrière électronique de Schottky : rectangle surmonté par une courbe en pointe, symbolisant la barrière de Schottky.
- Couche I isolante : Losange à parois verticales.

La disposition verticale des différentes couches est représentative des différences de potentiel appliquées. Deux couches situées à des hauteurs différentes sont donc soumises à une différence de potentiel. On note  $V_{EB}$  la différence de potentiel existant entre l'émetteur et la base et  $V_{BC}$  la différence de potentiel existant entre la base et le collecteur.

En 1995, un premier concept a été proposé (D.J. Monsma, J.C.Lodder, T.J.A. Popma and B.Dieny - Perpendicular Hot Electron Spin-Valve Effect in a New Magnetic Field Sensor : The Spin-Valve Transistor – Physical review Letters – Vol. 74 , N° 26 – 26/06/95). Ce concept est représenté en figure 2. Le transistor proposé comprend un émetteur E en matériau semi-conducteur, une base métallique B comprenant 3 couches F1, N et F2 constituant une vanne de spin et un collecteur C également en matériau semi-conducteur. Les jonctions émetteur/base et base/collecteur sont de type Schottky comme il est indiqué sur la figure 2. La flèche indique le sens du courant collecté. Il est opposé à celui de la propagation des électrons. Des électrons sont injectés de l'émetteur vers la base à travers la base. Certains de ces électrons, dits chauds, ont une énergie suffisamment importante pour traverser la jonction Schottky émetteur/base. La relaxation énergétique de ces électrons chauds dans la base métallique dépend de leur spin. Le courant collecté  $I_C$  dépend fortement de l'orientation relative des

aimantations entre les couches F1 et F2. On appelle contraste de magnéto courant MC le rapport ci-dessous :

$$MC = (I_{C,P} - I_{C,AP}) / (I_{C,P} + I_{C,AP})$$

avec  $I_{C,P}$  courant maximal transmis lorsque les aimantations sont en configuration parallèle et  $I_{C,AP}$  courant minimal transmis lorsque les aimantations sont en configuration anti-parallèle.

De forts contrastes de courant collecteur  $I_C$  ont été observés avec un tel dispositif (P.S.A. Kumar et al., Physica C350, 166 (2001)).

Cependant, les effets de relaxation des électrons dans la base sont importants, celle-ci étant composée de plusieurs interfaces successives et d'autre part, l'énergie des électrons dépend de la différence de hauteur de barrière de potentiel entre les deux jonctions Schottky émetteur/base et base/collecteur. Or, il est technologiquement très difficile de réaliser des différences de hauteurs de jonctions Schottky significatives (supérieures à 1eV). Aussi, ce dispositif ne peut générer que des courants collecteurs de très faible intensité, de l'ordre de la dizaine de nA.

En 2001, un second concept de transistor à vanne de spin a été proposé (S.van Dijken, Xin jiang, and S.S.P. Parkin – room temperature operation of a high output current magnetic tunnel transistor – Applied Physics Letters – Vol. 80, N° 18 – 6 may 2002). Ce transistor dit MTT (pour Magnetic Tunnel Transistor) est représenté en figure 3. Il comprend un émetteur composé d'une couche ferromagnétique F1 à aimantation permanente, un isolant I, une base B composée d'une couche ferromagnétique F2 à aimantation variable et un collecteur C en matériau semi-conducteur. La jonction base/collecteur est de type Schottky comme il est indiqué sur la figure 3. Les différences de potentiel  $V_{EB}$  et  $V_{BC}$  nécessaires entre la base et l'émetteur et la base et le collecteur sont également représentées. Les électrons polarisés en spin sont émis depuis l'émetteur E ferromagnétique par effet tunnel dans la base ferromagnétique B. Le MTT permet de limiter les effets de relaxation des électrons dans la base qui n'est plus constituée que d'une seule couche. On obtient alors des courants  $I_C$  en sortie du collecteur plus importants. Cependant, la configuration en jonction tunnel magnétique conduit à des contrastes de courant  $I_C$  plus faible entre configurations parallèle et anti-parallèle des

aimantations (inférieur à 70%). Ceci résulte du fait que ce dispositif n'exploite pas la dépendance en spin de la longueur caractéristique de relaxation des électrons chauds.

Enfin, en 2002, une variante du MTT a été proposée (S.S.P. Parkin – Intermag europe Conference – Amsterdam – May 2002). Elle est représentée en figure 4. Elle comprend un émetteur E en matériau semi-conducteur, un isolant I, une base B qui est une vanne de spin comprenant trois couches métalliques F1, N et F2 et un collecteur en matériau semi-conducteur. La jonction base/collecteur est de type Schottky. L'émetteur émet, par effet tunnel, des électrons non polarisés en spin vers la structure en vanne de spin de la base B. Des contrastes de courant collecteur très élevés (supérieurs à 3000%) ont été observés avec cette structure. Néanmoins, la tension  $V_{EB}$  susceptible d'être appliquée entre l'émetteur et la base est limitée par le phénomène de claquage dans la barrière tunnel et limite, par conséquent, l'intensité du courant émetteur  $I_E$ . L'intensité du courant collecteur  $I_C$  qui est proportionnelle à l'intensité du courant émetteur  $I_E$  reste également limitée.

L'objet de l'invention est de fournir un nouvel agencement de transistor à vanne de spin permettant d'obtenir à la fois une forte intensité et un fort contraste du courant collecteur  $I_C$ , ce qui est souhaitable pour les applications de type senseurs (détecteurs de champ faible ou tête de lecture) ou comme élément de mémoire non volatil ou encore comme porte logique programmable.

Plus précisément, l'invention a pour objet un transistor à vanne de spin comportant un émetteur, une base et un collecteur, l'émetteur étant réalisé dans un matériau semi-conducteur, la base étant constituée de trois couches de métal successives, la première couche et la troisième couche ferromagnétiques, la seconde couche n'étant pas ferromagnétique, l'interface entre l'émetteur et les couches de la base constituant une diode Schottky, caractérisé en ce que le collecteur est métallique et séparé de la base par une couche isolante mince d'environ quelques nanomètres, ladite couche constituant une barrière à effet tunnel entre la base et ledit collecteur.

Avantageusement, la couche isolante présente une barrière de potentiel de hauteur inférieure à la barrière de potentiel de la diode Schottky existant entre l'émetteur et la base.

Avantageusement, ladite couche isolante est en oxyde de tantale ou en sulfure de zinc ou en oxyde de zirconium ou en oxyde de terre rare tel que l'yttrium.

Avantageusement, la couche isolante a une épaisseur comprise environ entre 1 et 4 nanomètres.

Avantageusement, l'émetteur comporte au moins une couche de matériau semi-conducteur et le collecteur au moins une première couche de matériau métallique, la couche de matériau semi-conducteur de l'émetteur comporte au moins une seconde couche de matériau métallique permettant le raccordement de moyens de connexions électriques. Ces moyens de connexion électrique sont implantés au niveau de la première couche de matériau métallique, au niveau de la seconde couche de matériau métallique et d'une quelconque des couches de la base, lesdits moyens de connexion permettant d'appliquer au transistor des tensions et des courants extérieurs.

Enfin, la tension électrique appliquée entre l'émetteur et la base par l'intermédiaire des moyens de connexion est avantageusement supérieure à la barrière de potentiel de la couche isolante.

L'invention sera mieux comprise et d'autres avantages apparaîtront à la lecture de la description qui va suivre donnée à titre non limitatif et grâce aux figures annexées parmi lesquelles :

- Les figures 1a, 1b, 1c et 1d représentent les schémas de principe d'une vanne de spin et les schémas électriques équivalents dans les états Parallèle et Anti-Parallèle.
- La figure 2 représente le schéma symbolique d'un premier mode de réalisation d'un transistor à vanne de spin selon l'art antérieur.
- La figure 3 représente le schéma symbolique d'un transistor à vanne de spin de type MTT selon l'art antérieur selon une première variante.

- La figure 4 représente le schéma symbolique d'un transistor à vanne de spin de type MTT selon l'art antérieur selon une seconde variante.
- La figure 5 représente le schéma symbolique d'un transistor à vanne de spin selon l'invention.
- La figure 6 représente l'agencement des différentes couches dudit transistor ainsi que les connexions électriques associées du transistor selon l'invention.

La figure 5 représente un schéma symbolique du transistor à vanne de spin selon l'invention. Il comprend un émetteur E en matériau semiconducteur, une base métallique B comprenant 3 couches F1, N et F2 constituant une vanne de spin, un matériau isolant I et un collecteur C en matériau électriquement conducteur. La jonction émetteur/base est de type Schottky comme il est indiqué sur la figure 5. La flèche indique le sens du courant collecté. Des électrons sont injectés de l'émetteur vers la base à travers la jonction Schottky émetteur/base. Les électrons passent de la base B au collecteur C à travers l'isolant I soit par effet tunnel, soit de manière balistique. Cette disposition a deux avantages majeurs sur les dispositions antérieures. L'utilisation d'une jonction émetteur/base de type Schottky permet d'utiliser des tensions  $V_{EB}$  émetteur/base plus importantes qui ne sont plus limitées par le phénomène de claquage. On peut ainsi obtenir de forts courants émetteurs  $I_E$  et par conséquent, de forts courants collecteurs  $I_C$ . La base étant constituée d'une vanne de spin, le contraste MC du courant collecteur peut également prendre des valeurs importantes.

Pour optimiser le dispositif, les matériaux doivent être choisis de façon à obtenir à la fois une hauteur de barrière Schottky élevée et une barrière tunnel de hauteur faible, inférieure à la hauteur de barrière Schottky. L'isolant peut notamment être constitué d'oxyde de tantale ou de sulfure de zinc ou en oxyde de zirconium ou en oxyde de terre rare tel que l'oxyde d'yttrium. Le matériau de l'émetteur est classiquement un matériau semiconducteur comme le silicium ou l'arséniure de gallium. Les couches de matériaux constituant la base sont notamment, du cobalt ou un alliage de cobalt pour la couche ferromagnétique F1, du cuivre ou de l'or pour la

couche neutre N, un alliage de nickel et de fer comme le permalloy (comprenant 80% de nickel) pour la couche ferromagnétique F2, enfin la couche conductrice peut être du cuivre ou de l'or.

Le courant collecteur  $I_C$  est la somme de deux courants :  $I_{\text{tunnel}}$ , courant tunnel entre base et collecteur et  $I_{\text{ballistique}}$ , courant balistique provenant de l'émetteur constitué des électrons ayant suffisamment d'énergie pour traverser la jonction Schottky puis la base sans relaxer. Le courant tunnel ne jouant aucun rôle dans le fonctionnement du transistor, il convient de le minimiser. Il correspond, en électronique classique, à un courant de fuite. Le moyen le plus simple est d'épaissir l'isolant I servant de barrière tunnel entre la base et le collecteur, le courant tunnel décroissant exponentiellement avec cette épaisseur.

Il est également avantageux d'utiliser une tension Emetteur/Base  $V_{EB}$  supérieure à la hauteur de la barrière tunnel. Dans ce cas, une partie significative des électrons peut passer au-dessus de la barrière tunnel pour parvenir au collecteur de manière balistique. On augmente ainsi l'intensité du courant collecteur.

Technologiquement, le transistor spintronique selon l'invention se présente comme un empilement de couches comme il est représenté en figure 6. Cet empilement peut être réalisé par les méthodes de dépôt utilisées en micro-électronique classique. Il comprend successivement une couche métallique A, la couche de semiconducteur de l'émetteur E, les trois couches métalliques F1, N et F2 constituant la base, la couche de matériau isolant I et la couche métallique C du collecteur. Les connexions électriques de l'émetteur, de la base et du collecteur sont assurées par des moyens de connexion  $C_E$ ,  $C_B$  et  $C_C$  qui peuvent être par exemple des plots métalliques. Ces moyens de connexion  $C_E$ ,  $C_B$  et  $C_C$  sont situés au niveau de la couche métallique A située sous l'émetteur E, au niveau de la base et sur la couche C du collecteur. La connexion peut se faire au niveau de la base sur l'une quelconque des trois couches F1, N ou F2. Sur la figure 6, est représenté également un schéma électrique de polarisation du transistor. Un générateur de courant relié au transistor par les moyens de connexion  $C_E$  et  $C_B$  impose un courant  $I_E$  à l'entrée de l'émetteur et une tension  $V_{EB}$  entre l'émetteur et la base. Un générateur de tension relié au transistor par les moyens de

connexion  $C_C$  et  $C_B$  impose une tension  $V_{BC}$  entre la base et le collecteur. Le courant recueilli par le collecteur dépend de la configuration des aimantations imposée aux couches ferromagnétiques de la base.

## REVENDICATIONS

1. Transistor à vanne de spin comportant un émetteur (E), une base (B) et un collecteur (C), l'émetteur (E) étant réalisé dans un matériau semi-conducteur, la base étant constituée de trois couches de métal successives, la première couche (F1) et la troisième couche (F2) ferromagnétiques, la seconde couche (N) n'étant pas ferromagnétique, l'interface entre l'émetteur (E) et les couches de la base (B) constituant une diode Schottky, caractérisé en ce que le collecteur (C) est métallique et séparé de la base (B) par une couche isolante mince (I) d'environ quelques nanomètres, la dite couche constituant une barrière à effet tunnel entre la base (B) et ledit collecteur (C).

2. Transistor à vanne de spin selon la revendication 1, caractérisé en ce que la couche isolante (I) présente une barrière de potentiel de hauteur inférieure à la barrière de potentiel de la diode Schottky existant entre l'émetteur (E) et la base (B).

3. Transistor à vanne de spin selon la revendication 2, caractérisé en ce que la couche isolante (I) est en oxyde de tantale ou en sulfure de zinc ou en oxyde de zirconium ou en oxyde de terre rare tel que l'oxyde d'yttrium.

4. Transistor à vanne de spin selon la revendication 1, caractérisé en ce que la couche isolante (I) a une épaisseur comprise environ entre 1 et 4 nanomètres.

5. Transistor à vanne de spin selon la revendication 1, caractérisé en ce que l'émetteur (E) comporte au moins une couche de matériau semi-conducteur et le collecteur (C) au moins une première couche de matériau métallique.

6. Transistor à vanne de spin selon la revendication 4, caractérisé en ce que la couche de matériau semi-conducteur de l'émetteur (E) comporte au moins une seconde couche de matériau métallique (A).

7. Transistor à vanne de spin selon les revendications 4 et 5, caractérisé en ce que des moyens de connexion électrique ( $C_E$ ,  $C_B$  et  $C_C$ ) sont implantés au niveau de la première couche de matériau métallique, au niveau de la seconde couche de matériau métallique et d'une quelconque des couches (F1, N, F2) de la base, lesdits moyens de connexion permettant d'appliquer au transistor des tensions et des courants extérieurs.

8. Transistor à vanne de spin selon la revendication 1, caractérisé en ce que la tension électrique appliquée entre l'émetteur (E) et la base (B) par l'intermédiaire des moyens de connexion ( $C_E$ ) et ( $C_B$ ) est supérieure à la barrière de potentiel de la couche isolante (I).

Configuration P

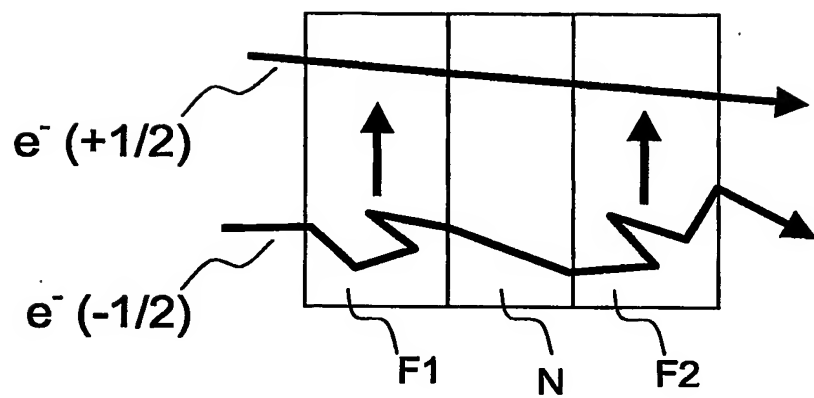


FIG.1a

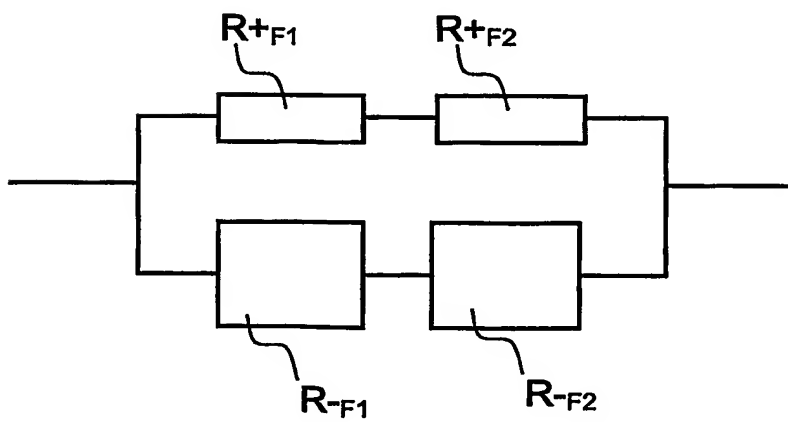


FIG.1b

2/7

## Configuration AP

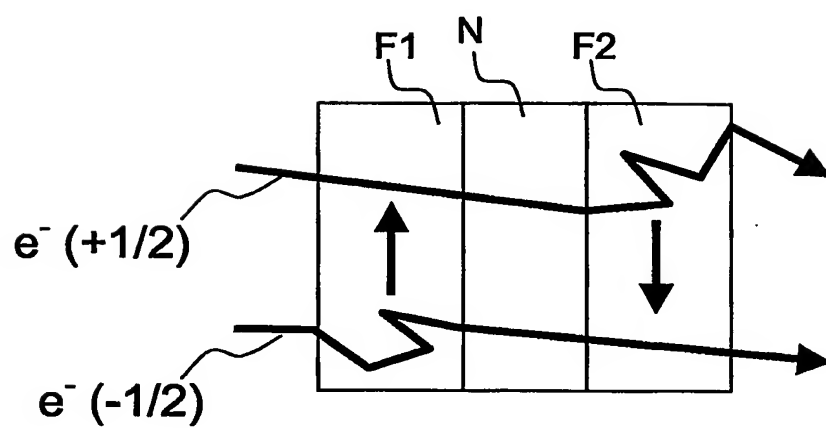


FIG.1c

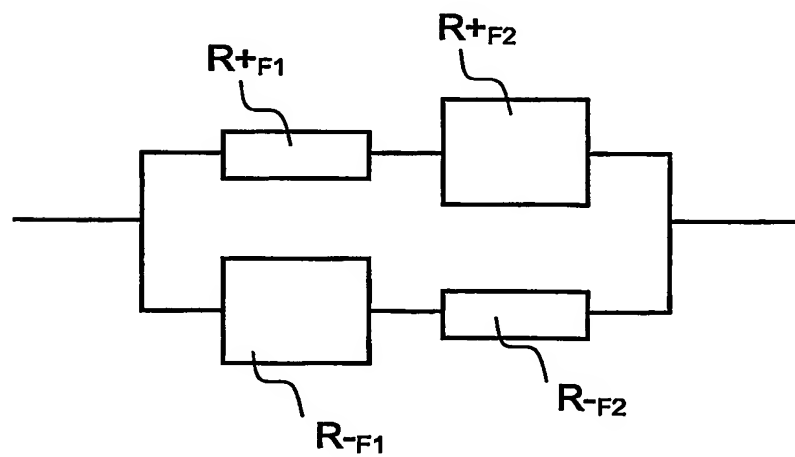


FIG.1d

3/7

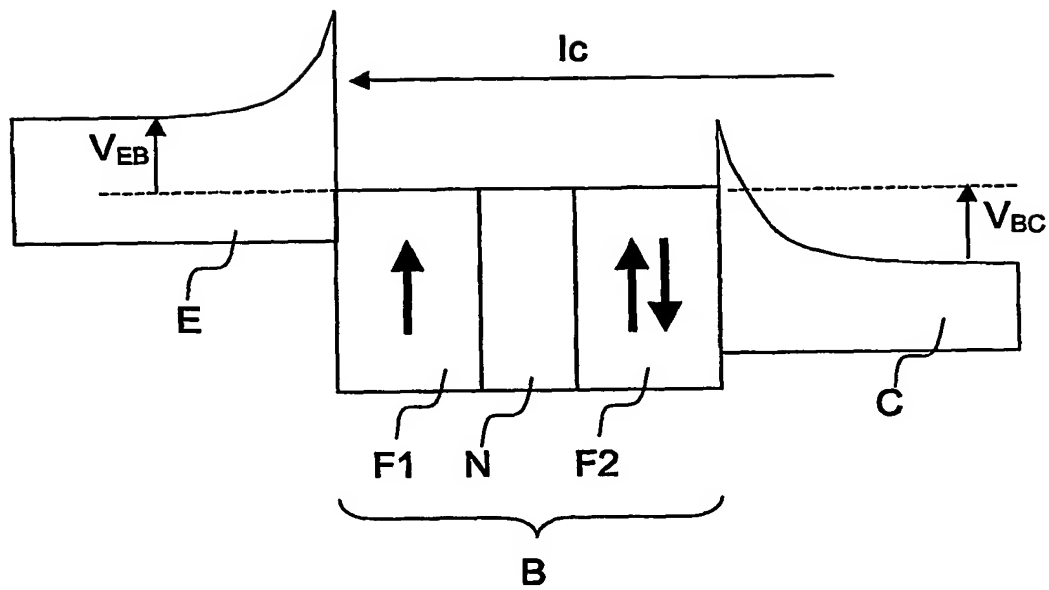


FIG.2

4/7

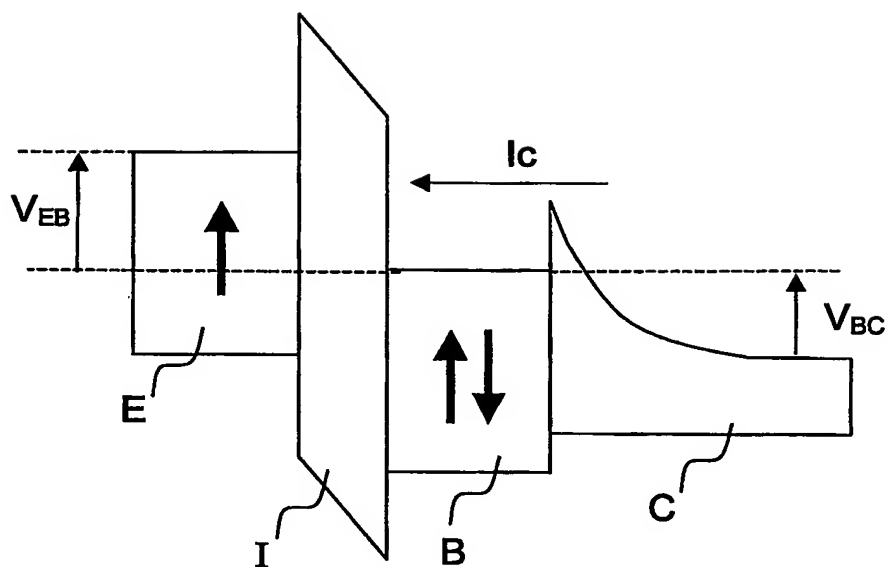


FIG.3

5/7

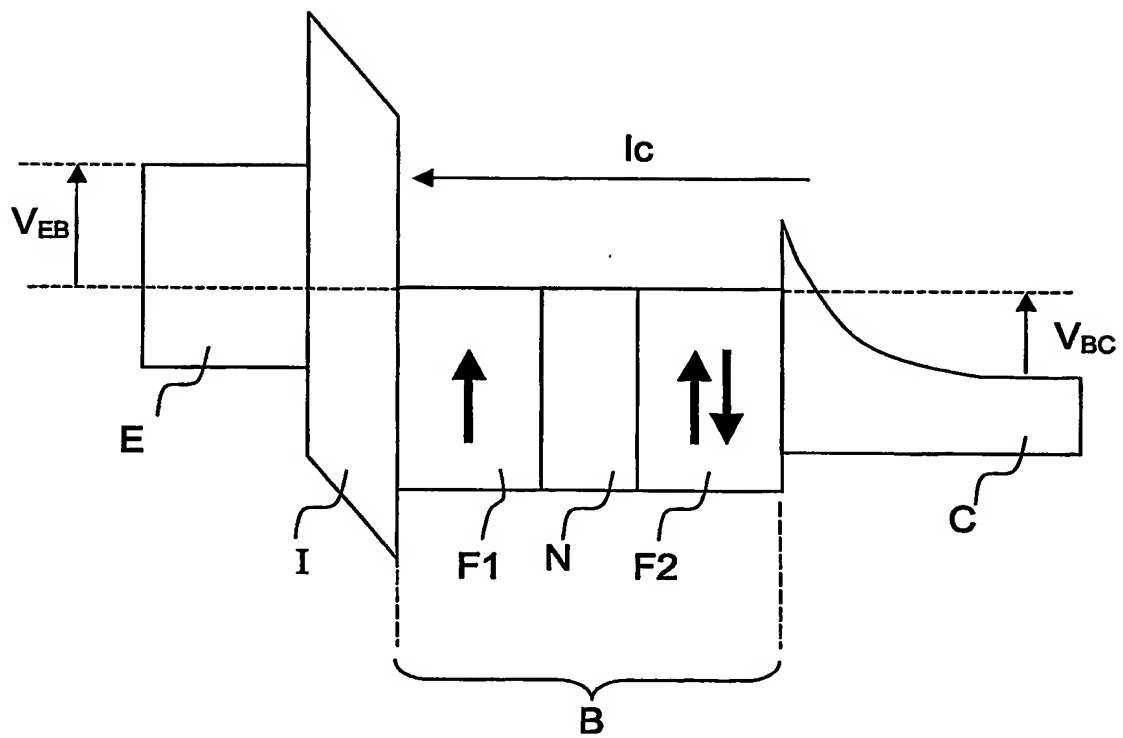


FIG.4

6/7

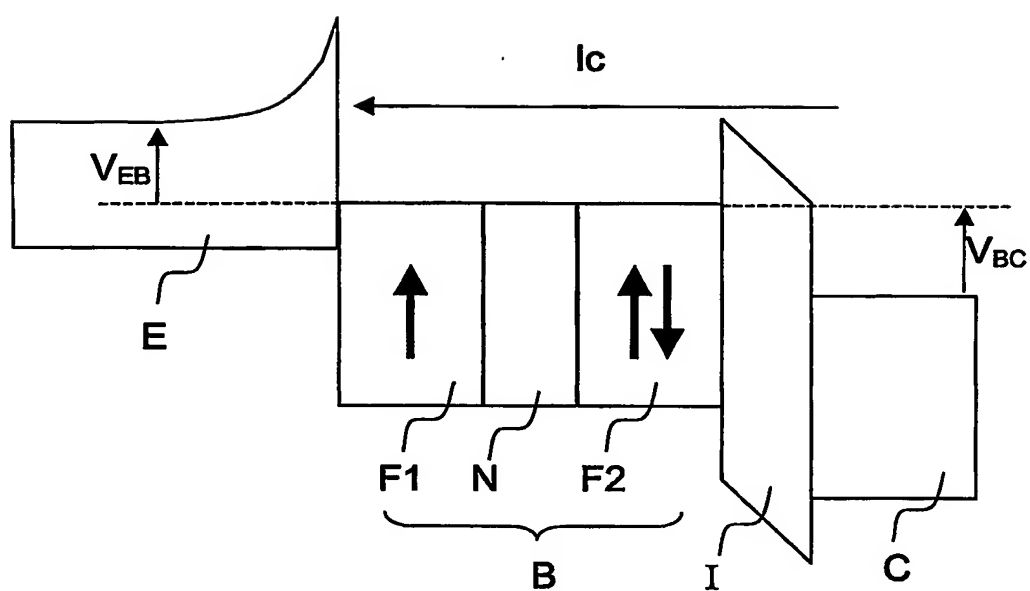


FIG.5

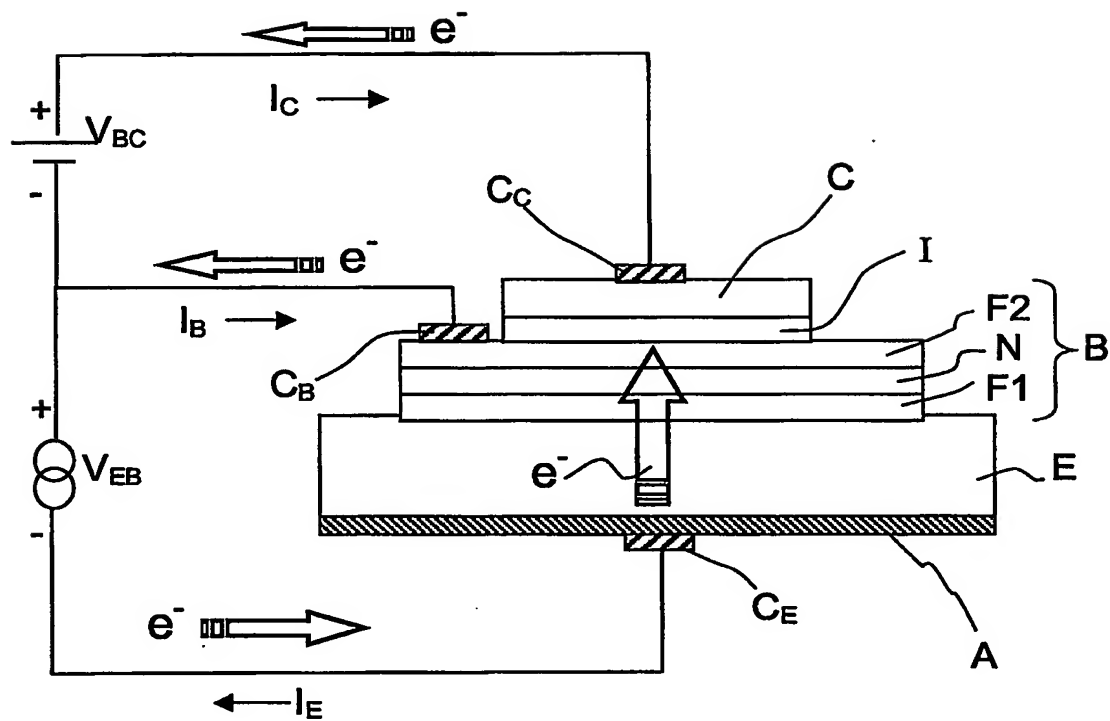


FIG.6

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION  
EN MATIÈRE DE BREVETS (PCT)(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international(43) Date de la publication internationale  
1 juillet 2004 (01.07.2004)

PCT

(10) Numéro de publication internationale  
WO 2004/055901 A3(51) Classification internationale des brevets<sup>7</sup> :

H01L 29/66, 43/08

(21) Numéro de la demande internationale :

PCT/EP2003/050886

(22) Date de dépôt international :

24 novembre 2003 (24.11.2003)

(25) Langue de dépôt :

français

(26) Langue de publication :

français

(30) Données relatives à la priorité :

02 15845 13 décembre 2002 (13.12.2002) FR

(71) Déposant (pour tous les États désignés sauf US)  
: THALES [FR/FR]; 45, rue de Villiers, F-92200  
Neuilly-Sur-Seine (FR).

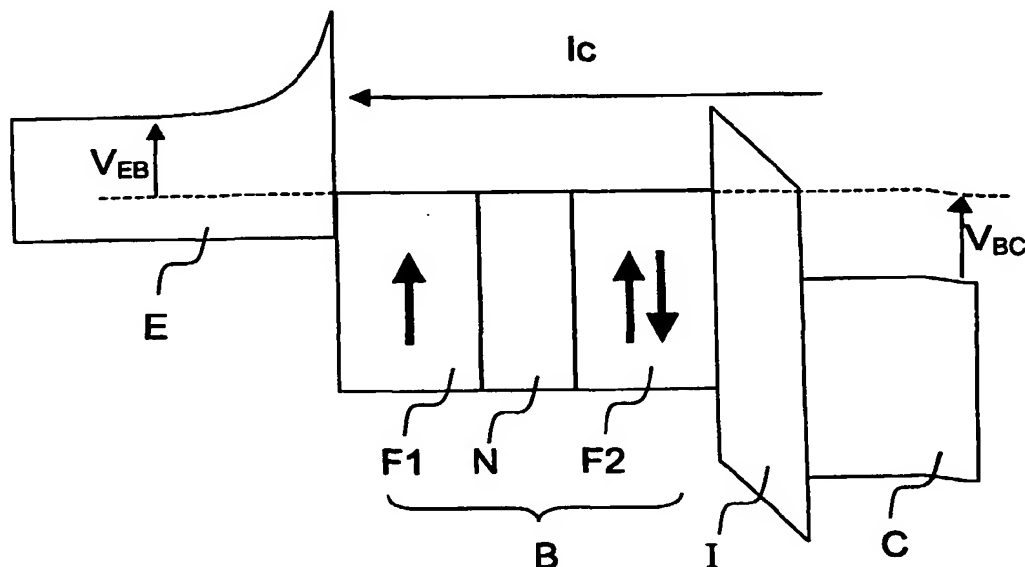
(72) Inventeur; et

(75) Inventeur/Déposant (pour US seulement) : NGUYEN  
VAN DAU, Frédéric [FR/FR]; Thales Intellectual Prop-  
erty, 31-33, avenue Aristide Briand, F-94117 Arceuil (FR).(74) Mandataires : CHAVERNEFF, Vladimir etc.; Thales In-  
tellectual Property, 31-33, avenue Aristide Briand, F-94117  
Arceuil Cedex (FR).(81) États désignés (national) : AE, AG, AL, AM, AT, AU, AZ,  
BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ,  
DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH,  
GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC,  
LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,  
MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC,  
SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[Suite sur la page suivante]

(54) Title: HIGH PERFORMANCE SPIN-VALVE TRANSISTOR

(54) Titre : TRANSISTOR A VANNE DE SPIN A HAUT RENDEMENT



(57) Abstract: The invention generally relates to the field of spintronics, branch of electronics using magnetic spin properties of electrons. More particularly, the invention relates to the field of spin-valve transistors which can be used in numerous fields of electronics. The invention aims at providing an original arrangement for producing high-level and high-contrast current collectors. The inventive spintronic transistor comprises a semiconductor transmitter, a base forming a spin-valve and a metal collector separated from the base by an insulating deposit. The transmitter/base interface constitutes a Schottky barrier and the base/collector interface constitutes a tunnel-effect barrier.

[Suite sur la page suivante]



(84) États désignés (*régional*) : brevet ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), brevet eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), brevet européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), brevet OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Publiée :**

— avec rapport de recherche internationale

— avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues

(88) Date de publication du rapport de recherche internationale:

16 septembre 2004

*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*

(57) **Abrége :** Le domaine général de l'invention est celui de la spintronique, domaine de l'électronique utilisant les propriétés magnétiques de spin des électrons. Plus précisément, le domaine de l'invention est celui des transistors à vanne de spin qui peuvent être utilisés dans de nombreux domaines de l'électronique. L'objet de l'invention est de proposer un agencement original permettant d'obtenir à la fois des courants collecteurs de niveau important et de contraste élevé. Le transistor spintronique selon l'invention comprend un émetteur en semiconducteur, une base faisant vanne de spin et un collecteur métallique séparé de la base par un dépôt isolant. L'interface émetteur/base constitue une barrière Schottky et l'interface base/collecteur est une barrière à effet tunnel.

# INTERNATIONAL SEARCH REPORT

International Application No

P 03/50886

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 H01L29/66 H01L43/08

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, INSPEC, PAJ

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DIJKEN VAN S ET AL: "ROOM TEMPERATURE OPERATION OF A HIGH OUTPUT CURRENT MAGNETIC TUNNEL TRANSISTOR" APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, vol. 80, no. 18, 6 May 2002 (2002-05-06), pages 3364-3366, XP001123329 ISSN: 0003-6951 cited in the application the whole document	1-8
A	PATENT ABSTRACTS OF JAPAN vol. 2003, no. 02, 5 February 2003 (2003-02-05) -& JP 2002 305335 A (TOSHIBA CORP), 18 October 2002 (2002-10-18) abstract -/--	1-8

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

14 July 2004

Date of mailing of the international search report

20/07/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Baillet, B

## INTERNATIONAL SEARCH REPORT

International Application No

P 03/50886

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	& US 2003/122208 A1 (SATO ET AL.) 3 July 2003 (2003-07-03) the whole document	
A	----- MONSMA D J ET AL: "PERPENDICULAR HOT ELECTRON SPIN-VALVE EFFECT IN A NEW MAGNETIC FIELD SENSOR: THE SPIN-VALVE TRANSISTOR" PHYSICAL REVIEW LETTERS, NEW YORK, NY, US, vol. 74, no. 26, 26 June 1995 (1995-06-26), pages 5260-5263, XP000675897 ISSN: 0031-9007 cited in the application the whole document	1-8
A	----- KUMAR P S A ET AL: "The spin-valve transistor" JOURNAL OF PHYSICS D (APPLIED PHYSICS), 21 NOV. 2000, IOP PUBLISHING, UK, vol. 33, no. 22, 21 November 2000 (2000-11-21), pages 2911-2920, XP002252677 ISSN: 0022-3727 the whole document	1-8
A	----- PATENT ABSTRACTS OF JAPAN vol. 2003, no. 03, 5 May 2003 (2003-05-05) -& JP 2002 329902 A (MIURA HIDEMI), 15 November 2002 (2002-11-15) abstract	1-8
A	----- SATO R ET AL: "SPIN-VALVE TRANSISTOR FORMED ON GAAS (001) SUBSTRATE" IEEE TRANSACTIONS ON MAGNETICS, IEEE INC. NEW YORK, US, vol. 38, no. 5, September 2002 (2002-09), pages 2863-2868, XP001131716 ISSN: 0018-9464 the whole document	1-8
A	----- US 6 069 820 A (KISHI TATSUYA ET AL) 30 May 2000 (2000-05-30) the whole document	1-8
P, X	----- US 2003/214004 A1 (SATO RIE ET AL) 20 November 2003 (2003-11-20) the whole document	1,4,5

# INTERNATIONAL SEARCH REPORT

International Application No

PO 03/50886

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
JP 2002305335 A	18-10-2002	US 2003122208 A1	03-07-2003
US 2003122208 A1	03-07-2003	JP 2002305335 A	18-10-2002
JP 2002329902 A	15-11-2002	NONE	
US 6069820 A	30-05-2000	JP 11238924 A	31-08-1999
		JP 3520192 B2	19-04-2004
		JP 11238925 A	31-08-1999
US 2003214004 A1	20-11-2003	JP 2003289148 A	10-10-2003

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No  
P 03/50886

**A. CLASSEMENT DE L'OBJET DE LA DEMANDE**  
CIB 7 H01L29/66 H01L43/08

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

**B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE**

Documentation minimale consultée (système de classification suivi des symboles de classement)  
CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)  
EPO-Internal, INSPEC, PAJ

**C. DOCUMENTS CONSIDERES COMME PERTINENTS**

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	DIJKEN VAN S ET AL: "ROOM TEMPERATURE OPERATION OF A HIGH OUTPUT CURRENT MAGNETIC TUNNEL TRANSISTOR" APPLIED PHYSICS LETTERS, AMERICAN INSTITUTE OF PHYSICS. NEW YORK, US, vol. 80, no. 18, 6 mai 2002 (2002-05-06), pages 3364-3366, XP001123329 ISSN: 0003-6951 cité dans la demande le document en entier	1-8
A	PATENT ABSTRACTS OF JAPAN vol. 2003, no. 02, 5 février 2003 (2003-02-05) -& JP 2002 305335 A (TOSHIBA CORP), 18 octobre 2002 (2002-10-18) abrégé -/-	1-8

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

\* Catégories spéciales de documents cités:

- \*A\* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- \*E\* document antérieur, mais publié à la date de dépôt international ou après cette date
- \*L\* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- \*O\* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- \*P\* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- \*T\* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- \*X\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- \*Y\* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- \*&\* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

14 juillet 2004

Date d'expédition du présent rapport de recherche internationale

20/07/2004

Nom et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Baillet, B

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No  
PC 03/50886

## C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
	<p>&amp; US 2003/122208 A1 (SATO ET AL.) 3 juillet 2003 (2003-07-03) le document en entier</p> <p style="text-align: center;">-----</p>	
A	<p>MONSMA D J ET AL: "PERPENDICULAR HOT ELECTRON SPIN-VALVE EFFECT IN A NEW MAGNETIC FIELD SENSOR: THE SPIN-VALVE TRANSITOR" PHYSICAL REVIEW LETTERS, NEW YORK, NY, US, vol. 74, no. 26, 26 juin 1995 (1995-06-26), pages 5260-5263, XP000675897 ISSN: 0031-9007 cité dans la demande le document en entier</p> <p style="text-align: center;">-----</p>	1-8
A	<p>KUMAR P S A ET AL: "The spin-valve transistor" JOURNAL OF PHYSICS D (APPLIED PHYSICS), 21 NOV. 2000, IOP PUBLISHING, UK, vol. 33, no. 22, 21 novembre 2000 (2000-11-21), pages 2911-2920, XP002252677 ISSN: 0022-3727 le document en entier</p> <p style="text-align: center;">-----</p>	1-8
A	<p>PATENT ABSTRACTS OF JAPAN vol. 2003, no. 03, 5 mai 2003 (2003-05-05) -&amp; JP 2002 329902 A (MIURA HIDEMI), 15 novembre 2002 (2002-11-15) abrégé</p> <p style="text-align: center;">-----</p>	1-8
A	<p>SATO R ET AL: "SPIN-VALVE TRANSISTOR FORMED ON GAAS (001) SUBSTRATE" IEEE TRANSACTIONS ON MAGNETICS, IEEE INC. NEW YORK, US, vol. 38, no. 5, septembre 2002 (2002-09), pages 2863-2868, XP001131716 ISSN: 0018-9464 le document en entier</p> <p style="text-align: center;">-----</p>	1-8
A	<p>US 6 069 820 A (KISHI TATSUYA ET AL) 30 mai 2000 (2000-05-30) le document en entier</p> <p style="text-align: center;">-----</p>	1-8
P,X	<p>US 2003/214004 A1 (SATO RIE ET AL) 20 novembre 2003 (2003-11-20) le document en entier</p> <p style="text-align: center;">-----</p>	1,4,5

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No

P 03/50886

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
JP 2002305335 A	18-10-2002	US 2003122208 A1	03-07-2003
US 2003122208 A1	03-07-2003	JP 2002305335 A	18-10-2002
JP 2002329902 A	15-11-2002	AUCUN	
US 6069820 A	30-05-2000	JP 11238924 A	31-08-1999
		JP 3520192 B2	19-04-2004
		JP 11238925 A	31-08-1999
US 2003214004 A1	20-11-2003	JP 2003289148 A	10-10-2003